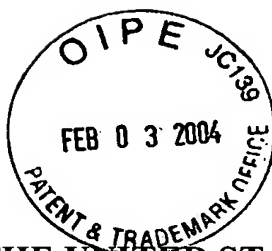


Patent



Customer No. 31561
Application No.: 10/605,159
Docket No. 9894-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chen et al.
Application No. : 10/605,159
Filed : September 12, 2003
For : A POLYSILICON THIN FILM TRANSISTOR
Examiner :
Art Unit : 2814

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 091123797, filed on: 2002/10/16.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Jan. 30, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

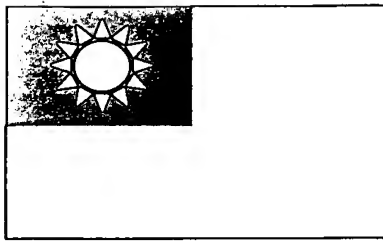
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 16 日
Application Date

申請案號：091123797
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 19 日
Issue Date

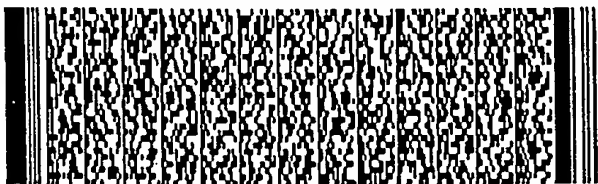
發文字號：09220944960
Serial No.

| | |
|-------|-----|
| 申請日期： | 案號： |
| 類別： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|------------|---------------------|-------------------------------------|
| 一、 發明名稱 | 中 文 | 多晶矽薄膜電晶體 |
| | 英 文 | A poly silicon thin film transistor |
| 二、 發明人 | 姓 名 (中文) | 1. 陳坤宏 |
| | 姓 名 (英文) | 1. Kun-Hong Chen |
| | 國 籍 | 1. 中華民國 |
| | 住、居所 | 1. 台北縣淡水鎮新春街81號8樓 |
| 三、 申請人 | 姓 名 (名稱) (中文) | 1. 友達光電股份有限公司 |
| | 姓 名 (名稱) (英文) | 1. Au Optronics Corporation |
| | 國 籍 | 1. 中華民國 |
| | 住、居所 (事務所) | 1. 新竹科學工業園區新竹市力行二路一號 |
| | 代表人 姓 名 (中文) | 1. 李焜耀 |
| | 代表人 姓 名 (英文) | 1. Kun-Yao Lee |

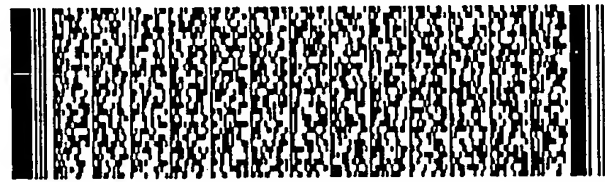
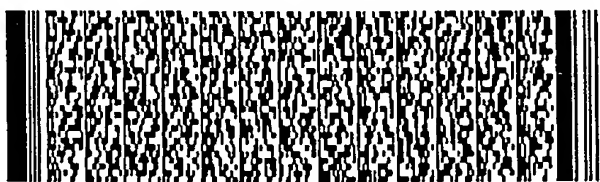


四、中文發明摘要 (發明之名稱：多晶矽薄膜電晶體)

一種多晶矽薄膜電晶體，係由一島狀多晶矽層、一閘極、含有一氧化矽層與一氮化矽層的閘極絕緣層以及一第一與一第二層間介電層所組成。而上述各層之配置係閘極位於島狀多晶矽層上，閘極絕緣層的氧化矽層位於閘極與島狀多晶矽層之間，閘極絕緣層的氮化矽層位於閘極與氧化矽層之間，而第一層間介電層覆蓋於閘極與氮化矽層上，第二層間介電層覆蓋於第一層間介電層上，其中在閘極兩側的第一層間介電層與閘極絕緣層內更包括與源/汲極摻雜區域相連的源/汲極接觸金屬。

英文發明摘要 (發明之名稱：A poly silicon thin film transistor)

A poly silicon thin film transistor consists of a poly-island layer, a gate, a gate insulating film including a silicon oxide layer and a silicon nitride layer, and a first and second inter-layer dielectrics. The gate is located on the gate insulating film. The silicon oxide layer of the gate insulating film is between the gate and the poly-island layer, and the silicon nitride layer of the gate insulating film is between the gate and the silicon oxide layer. The first



四、中文發明摘要 (發明之名稱：多晶矽薄膜電晶體)

英文發明摘要 (發明之名稱：A poly silicon thin film transistor)

inter-layer dielectric is over the gate and the silicon nitride layer. The second inter-layer dielectric is over the first inter-layer dielectric. Moreover, a source/drain contact metal is laid on the sides of the gate in the first inter-layer dielectric and the gate insulating film to connect with the source/drain doped region.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

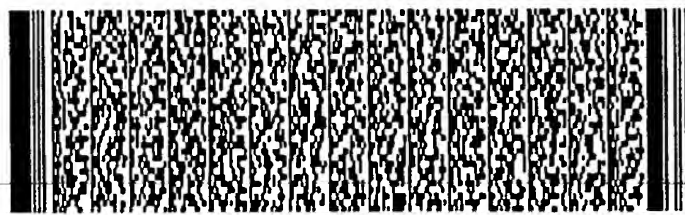
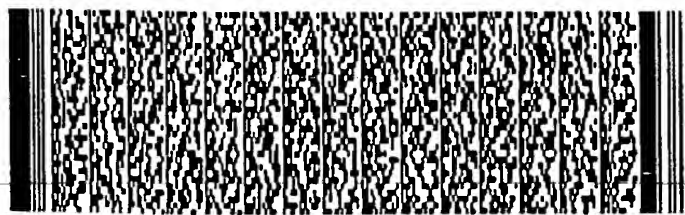
無

五、發明說明 (1)

本發明是有關於一種薄膜電晶體(thin film transistor, 簡稱TFT), 特別是關於一種多晶矽薄膜電晶體。

隨著高科技之發展, 視訊產品, 特別是數位化之視訊或影像裝置已經成為在一般日常生活中所常見的產品。這些數位化之視訊或影像裝置中, 顯示器是一個重要元件, 以顯示相關資訊。使用者可由顯示器讀取資訊, 或進而控制裝置的運作。為了配合現代生活模式, 視訊或影像裝置之體積日漸趨於薄輕, 因此, 配合光電技術與半導體製造技術, 面板式的顯示器已被發展出成為目前常見之顯示器產品, 例如薄膜電晶體(liquid crystal display, 簡稱LCD)液晶顯示器。

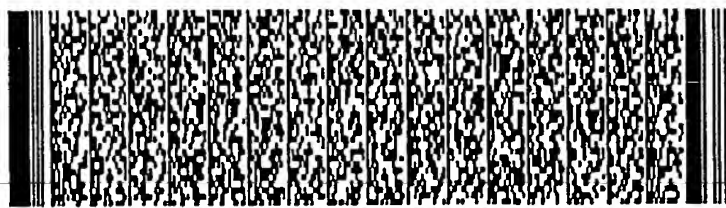
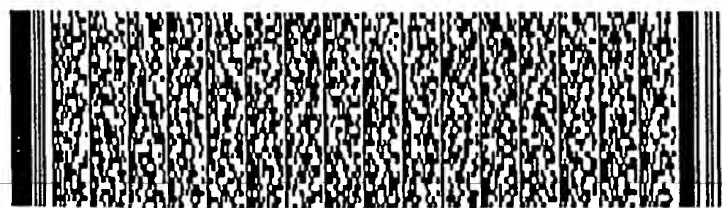
而近來在薄膜電晶體液晶顯示器中有一種利用多晶矽技術所製得的薄膜電晶體, 其電子遷移率較一般傳統的非晶矽(amorphous silicon, 簡稱a-Si)薄膜電晶體技術所得之電子遷移率大得多, 因此可使薄膜電晶體元件做得更小, 開口率增加(aperture ratio)進而增加顯示器亮度, 減少功率消耗的功能。另外, 由於電子遷移率之增加可以將部份驅動電路隨同薄膜電晶體製程同時製造於玻璃基板上, 大幅提升液晶顯示面板的特性及可靠度, 使得面板製造成本大幅降低, 因此製造成本較非晶矽薄膜電晶體液晶顯示器低出許多。再加上多晶矽具有厚度薄、重量輕、解析度佳等特點, 特別適合應用於要求輕巧省電的行動終端產品上。



五、發明說明 (2)

多晶矽薄膜電晶體早期製程是採用固相結晶(solid phase crystallization, 簡稱SPC)製程, 但高達攝氏1000度的高溫製程下, 必需採用熔點較高的石英基板, 由於石英基板成本比玻璃基板貴上許多, 且在基板尺寸的限制下, 面板大約僅有2至3吋, 因此過去只能發展小型面板。之後, 由於雷射的發展, 以雷射結晶化(laser crystallization)或準分子雷射退火(excimer laser annealing, 簡稱ELA)製程來使非晶矽薄膜成為多晶矽薄膜, 在溫度攝氏600度以下完成全部製程, 所以一般非晶矽薄膜電晶體液晶顯示器所用玻璃基板能被採用, 才得以製作出較大尺寸面板, 也因此依據這種技術形成的多晶矽又稱為低溫多晶矽((low temperature poly-Silicon, 簡稱LTPS)。

第1圖是習知的多晶矽薄膜電晶體(thin film transistor, 簡稱TFT)的剖面示意圖, 請參照第1圖, 習知的多晶矽薄膜電晶體10通常包括一位於基板100上的島狀多晶矽(poly-island)層102、一氧化矽閘極絕緣層(gate insulating film)104、一閘極106以及第一與第二層間介電層(inter-layer dielectric, 簡稱ILD) 108、109所組成, 其中島狀多晶矽層102包括位於閘極106下的通道區域(channel region)102a、位於通道區域102a兩側的源/汲極摻雜區域(source/drain doped region)102b, 以及於通道區域102a與源/汲極摻雜區域102b之間的一淺摻雜汲極區域(lightly doped drain, 簡稱LDD)102c。而



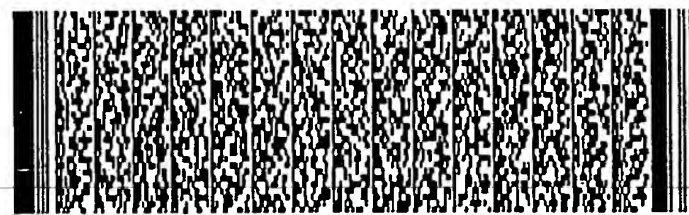
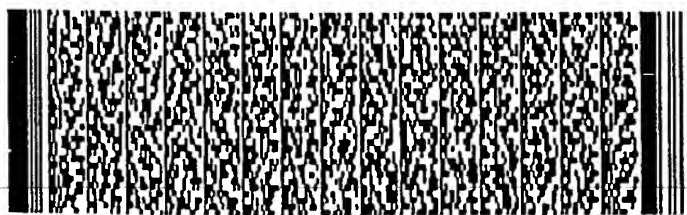
五、發明說明 (3)

上述各層之配置關係是閘極106位於通道區域102a上，氧化矽閘極絕緣層104位於閘極106與島狀多晶矽層102之間，而第一層間介電層108覆蓋於閘極106與閘極絕緣層104上，其中於閘極106兩側的第一層間介電層108與閘極絕緣層104內更包括與源/汲極摻雜區域102b相連的源/汲極接觸金屬(source/drain contact metal)110。此外，還可以包括一第二層間介電層109位於上述元件上。

然而，習知的多晶矽薄膜電晶體往往因為氧化矽閘極絕緣層104的品質不佳，而發生造成元件可靠度(stress reliability)衰退的問題，如第2A圖與第2B圖所示。

第2A圖與第2B圖所示係習知之多晶矽薄膜電晶體在重複操作下的汲極電流(drain current，又寫作" I_D ")與閘極電壓(gate voltage，又寫作" V_G ")的關係圖。請參照第1A圖與第1B圖，這兩個圖均是習知的採用氧化矽層作為閘極絕緣層的多晶矽薄膜電晶體在汲極電壓(drain voltage，又寫作" V_D ")為10伏特時，進行操作所得到的曲線圖，其中閘極絕緣層厚度為1000埃。由上述兩圖中可觀察到島狀多晶矽層之寬度/長度分別為30/6以及60/6的第2A圖與第2B圖，在第1次操作時雖然都呈現理想的曲線，但是在第2次操作以後的I-V曲線都發生大幅偏移，而且每一次操作所得的曲線重合度也很低，因此可推論習知的多晶矽薄膜電晶體在重複操作下的再現性不佳，進而造成元件可靠度不良。

因此，本發明之目的是提供一種多晶矽薄膜電晶體，



五、發明說明 (4)

以改善多晶矽薄膜電晶體的可靠度，進而增進元件效能。

本發明之另一目的是提供一種多晶矽薄膜電晶體，使重複進行操作下的薄膜電晶體之I-V曲線重合度增加，也就是增加其再現性。

根據上述與其它目的，本發明提出一種多晶矽薄膜電晶體，係由一島狀多晶矽層、一閘極、含有一氧化矽層與一氮化矽層的閘極絕緣層以及層間介電層(inter-layer dielectric，簡稱ILD)所組成。而上述各層之配置係閘極位於島狀多晶矽層上，閘極絕緣層的氧化矽層位於閘極與島狀多晶矽層之間，閘極絕緣層的氮化矽層位於閘極與氧化矽層之間，而第一層層間介電層覆蓋於閘極與氮化矽層上，第二層層間介電層則覆蓋於第一層間介電層上，其中在閘極兩側的第一層間介電層與閘極絕緣層內更包括與源/汲極摻雜區域相連的源/汲極接觸金屬。

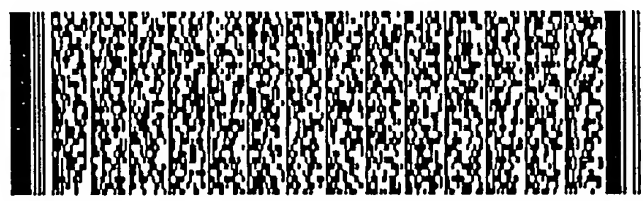
本發明之多晶矽薄膜電晶體係採用由氧化矽層與氮化矽層組合成的閘極絕緣層，因此可以增加薄膜電晶體的再現性，而進一步改善元件可靠度，使多晶矽薄膜電晶體的效能更為提昇。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之標號說明：

10，30：多晶矽薄膜電晶體

100，300：基板

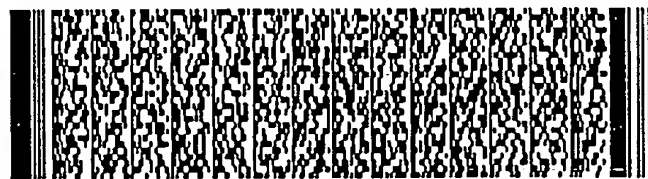
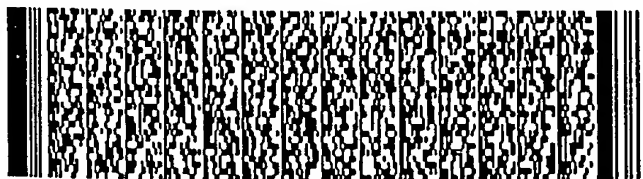


五、發明說明 (5)

- 102, 302 : 島狀多晶矽層
- 102a, 302a : 通道區域
- 102b, 302b : 源/汲極摻雜區域
- 102c, 302c : 淺摻雜汲極區域
- 104 : 氧化矽閘極絕緣
- 106, 306 : 閘極
- 108, 109, 308, 309 : 層間介電層
- 110, 310 : 源/汲極接觸金屬
- 301 : 緩衝層
- 303 : 氧化矽層
- 304 : 氮化矽層
- 305 : 閘極絕緣層

實施例

第3圖是依照本發明之一較佳實施例之多晶矽薄膜電晶體(thin film transistor, 簡稱TFT)的剖面示意圖, 請參照第3圖, 本實施例中的多晶矽薄膜電晶體30係由位於基板300上的島狀多晶矽(poly-island)層302、含有一氧化矽層(silicon oxide layer)303與一氮化矽層(silicon nitride layer)304的閘極絕緣層(gate insulating film)305、一閘極306以及第一與第二層間介電層(inter-layer dielectric, 簡稱ILD)308、309所組成, 其中島狀多晶矽層302包括位於閘極306下的一通道區域(channel region)302a、位於通道區域302a兩側的源/汲極摻雜區域(source/drain doped region)302b, 其包



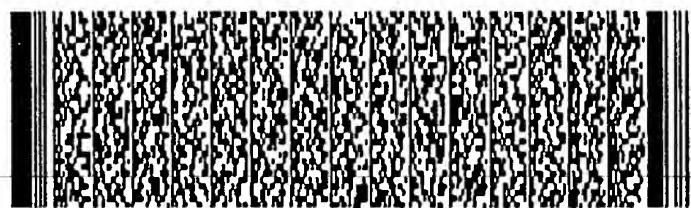
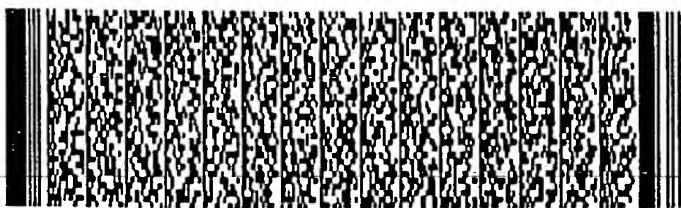
五、發明說明 (6)

括P型摻雜區或者是N型摻雜區。假使源/汲極摻雜區域302b是N型摻雜區時，則位於通道區域302a與源/汲極摻雜區域302b之間還可包括一淺摻雜汲極區域(lightly doped drain, 簡稱LDD)302c。此外，閘極絕緣層305中的氮化矽層304厚度在50~400埃之間；而氧化矽層303厚度在100~1400埃之間。

請繼續參照第3圖，上述各層之配置關係是閘極306位於通道區域302a上，閘極絕緣層305的氧化矽層303位於閘極306與島狀多晶矽層302之間，其厚度最好小於1400Å，而閘極絕緣層305的氮化矽層304則位於閘極306與氧化矽層303之間，其厚度最好小於400Å，而第一層間介電層308覆蓋於閘極306與閘極絕緣層305上，其中於閘極306兩側的第一層間介電層308與閘極絕緣層305內更包括與源/汲極摻雜區域302b相連的源/汲極接觸金屬(source/drain contact metal)310。此外，還可以包括一第二層間介電層309位於上述元件上。另外，為阻擋一般用於薄膜電晶體液晶顯示器中的玻璃基板之基板300中的雜質，最好在基板300上直接覆蓋一層緩衝層(buffer layer)301。

為證實本發明之多晶矽薄膜電晶體在元件可靠度(reliability)上較習知更佳，請參照下列圖示。

第4A圖與第4B圖所示係依照本發明之一較佳實施例之多晶矽薄膜電晶體在重複操作下的汲極電流(drain current, 又寫作" I_D ")與閘極電壓(gate voltage, 又寫作" V_G ")的關係圖，其中閘極絕緣層中的氮化矽層厚度為



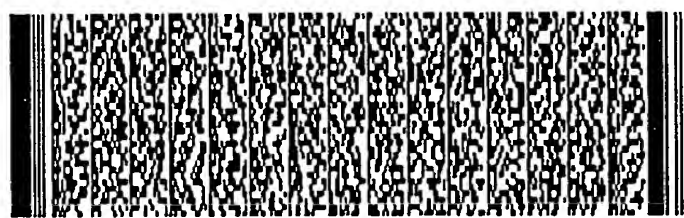
五、發明說明 (7)

200 埃、氧化矽層厚度為1000 埃，且其操作時的汲極電壓 (drain voltage，又寫作" V_D ") 為10 伏特。由上述第4A 圖與第4B 圖可知，本發明之島狀多晶矽層無論是寬度/長度為30/6 或是60/6，在經過多次操作後仍可維持其I-V 曲線的位置，不至於像第2A 圖與第2B 圖中習知的多晶矽薄膜電晶體一樣有曲線大幅偏移的情形。因此，本發明確實能改善元件的可靠度。

而且，當增加本發明之多晶矽薄膜電晶體的氮化矽層厚度至400 埃後去進行重複操作，會得到如第5A 圖與第5B 圖所示的曲線圖。可由第5A 圖與第5B 圖發現，氮化矽層的厚度增加至400 埃後所測得的I-V 曲線將比氮化矽厚度為200 埃時(請見第3A 圖與第3B 圖)更穩定，而使多晶矽薄膜電晶體在元件應力可靠度更為優異。同時，從第5A 圖與第5B 圖亦可觀察到，當氮化矽厚度大到400 埃之後，多晶矽薄膜電晶體的I-V 曲線已明顯成為重合曲線，因此，在考量整體元件大小下，氮化矽層的厚度最好保持在400 埃以內，使本發明之多晶矽薄膜電晶體在改善可靠度的情形下，同時不違背元件尺寸縮小的趨勢。

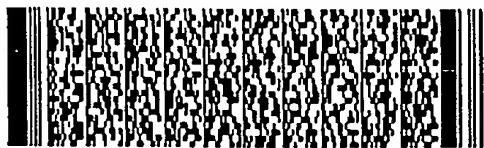
如上所述，本發明的特點在於採用由氧化矽層與氮化矽層所組成的閘極絕緣層，採用由氧化矽層與氮化矽層組合成的閘極絕緣層，因此可以增改善元件的應力可靠度，進而增進多晶矽薄膜電晶體的效能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神



五、發明說明 (8)

和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是習知的多晶矽薄膜電晶體的剖面示意圖；

第2A圖與第2B圖所示係習知之多晶矽薄膜電晶體在重複操作下的汲極電流(I_D)與閘極電壓(V_G)的關係圖；

第3圖是依照本發明之一較佳實施例之多晶矽薄膜電晶體的剖面示意圖；

第4A圖與第4B圖所示係依照本發明之一較佳實施例之多晶矽薄膜電晶體在重複操作下的汲極電流(I_D)與閘極電壓(V_G)的關係圖，其中閘極絕緣層中的氮化矽層厚度為200埃、氧化矽層厚度為1000埃；以及

第5A圖與第5B圖所示係依照本發明之一較佳實施例之多晶矽薄膜電晶體在重複操作下的汲極電流(I_D)與閘極電壓(V_G)的關係圖，其中閘極絕緣層中的氮化矽層厚度為400埃、氧化矽層厚度為1000埃。



六、申請專利範圍

1. 一種多晶矽薄膜電晶體，包括：

一島狀多晶矽層，位於一基板上，該島狀多晶矽層包括：

一通道區域，位於該閘極下；以及

一源/汲極摻雜區域，位於該通道區域兩側；

一閘極，位於該島狀多晶矽層上；

一閘極絕緣層，位於該閘極與該島狀多晶矽層之間，該閘極絕緣層包括：

一氧化矽層，覆蓋於該島狀多晶矽層上；以及

一氮化矽層，位於該氧化矽層與該閘極之間；以及

一層間介電層，配置於該閘極與該閘極絕緣層上。

2. 如申請專利範圍第1項所述之多晶矽薄膜電晶體，其中該氧化矽層的厚度在100~1400埃之間。

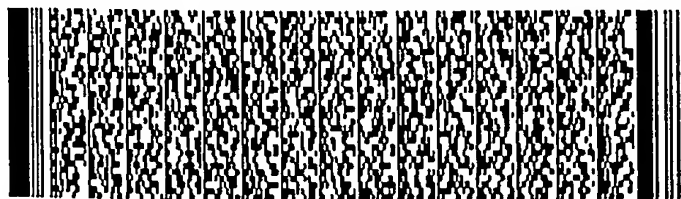
3. 如申請專利範圍第1項所述之多晶矽薄膜電晶體，其中該氮化矽層的厚度在50~400埃之間。

4. 如申請專利範圍第1項所述之多晶矽薄膜電晶體，其中該源/汲極摻雜區域包括一N型摻雜區。

5. 如申請專利範圍第1項所述之多晶矽薄膜電晶體，其中該源/汲極摻雜區域包括一P型摻雜區。

6. 如申請專利範圍第5項所述之多晶矽薄膜電晶體，其中該島狀多晶矽層更包括一淺摻雜汲極區域，位於該通道區域與該源/汲極摻雜區域之間。

7. 如申請專利範圍第1項所述之多晶矽薄膜電晶體，其



六、申請專利範圍

中更包括一緩衝層，直接覆蓋於該基板上。

8. 一種多晶矽薄膜電晶體，包括：

一閘極；

一島狀多晶矽層，位於該閘極下，該島狀多晶矽層包括一通道區域，位於該閘極下；以及一源/汲極摻雜區域，位於該通道區域兩側；

一閘極絕緣層，位於該閘極與該島狀多晶矽層之間，該閘極絕緣層具有一氧化矽層與一氮化矽層，其中

該氧化矽層覆蓋於該島狀多晶矽層上；以及

該氮化矽層位於該氧化矽層與該閘極之間；

一第一層間介電層，配置於該閘極與該閘極絕緣層上；

一源/汲極接觸金屬，位於該閘極兩側的該層間介電層與該閘極絕緣層內，且與該源/汲極摻雜區域相連；以及

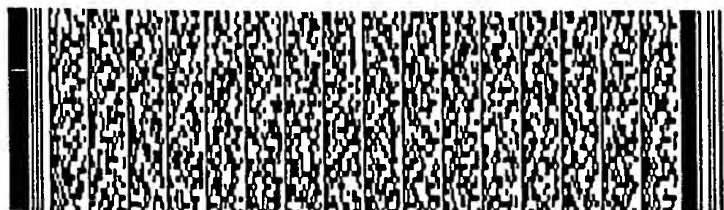
一第二層間介電層，覆蓋該第一層間介電層與該源/汲極接觸金屬。

9. 如申請專利範圍第8項所述之多晶矽薄膜電晶體，其中該氧化矽層的厚度在100~1400埃之間。

10. 如申請專利範圍第8項所述之多晶矽薄膜電晶體，其中該氮化矽層的厚度在50~400埃之間。

11. 如申請專利範圍第8項所述之多晶矽薄膜電晶體，其中該源/汲極摻雜區域包括一N型摻雜區。

12. 如申請專利範圍第8項所述之多晶矽薄膜電晶體，其

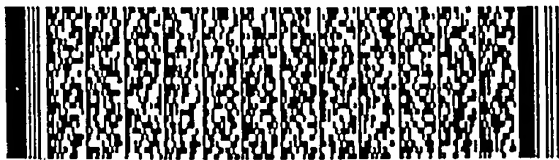


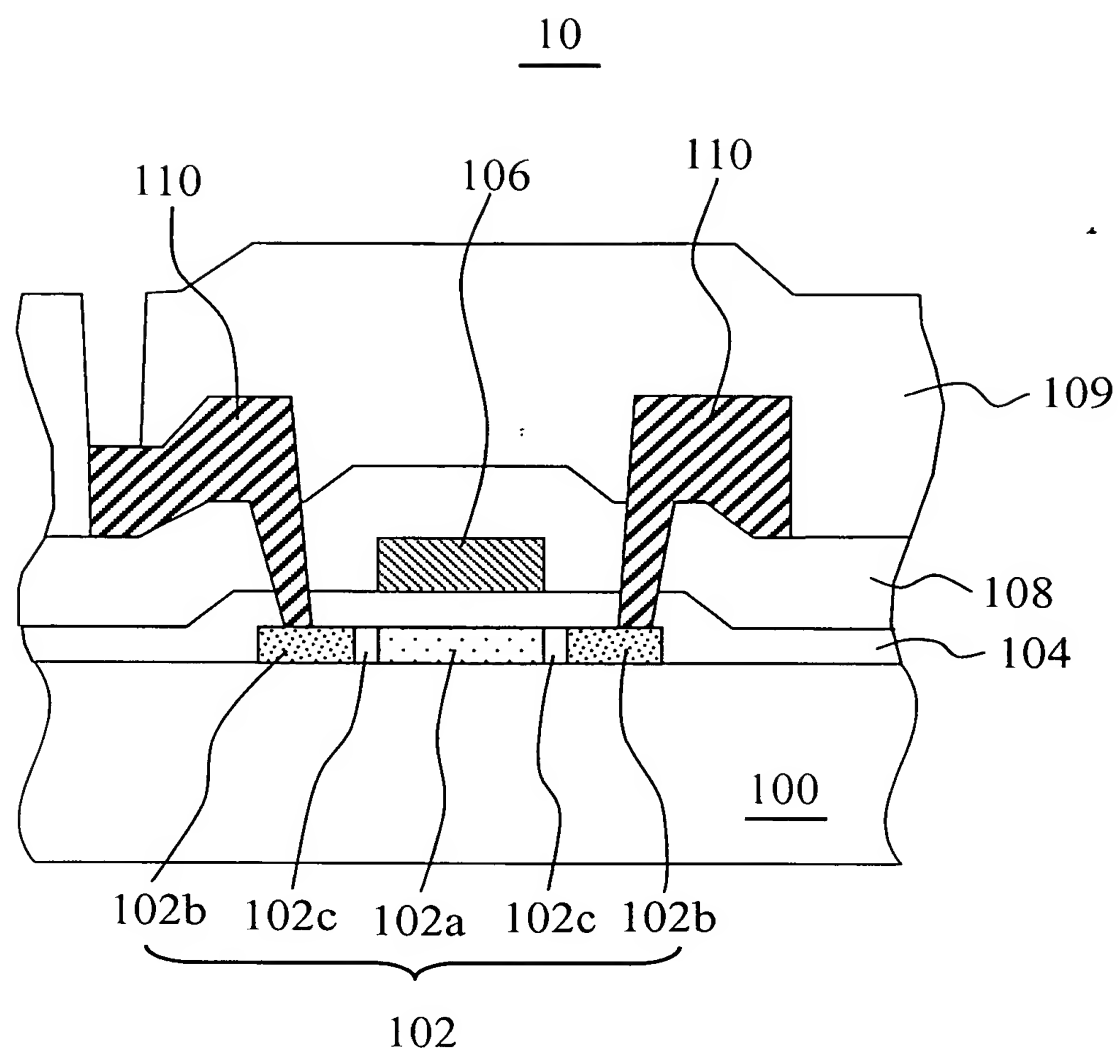
六、申請專利範圍

中該源/汲極摻雜區域包括一P型摻雜區。

13. 如申請專利範圍第12項所述之多晶矽薄膜電晶體，其中更包括一淺摻雜汲極區域，位於該通道區域與該源/汲極摻雜區域之間。

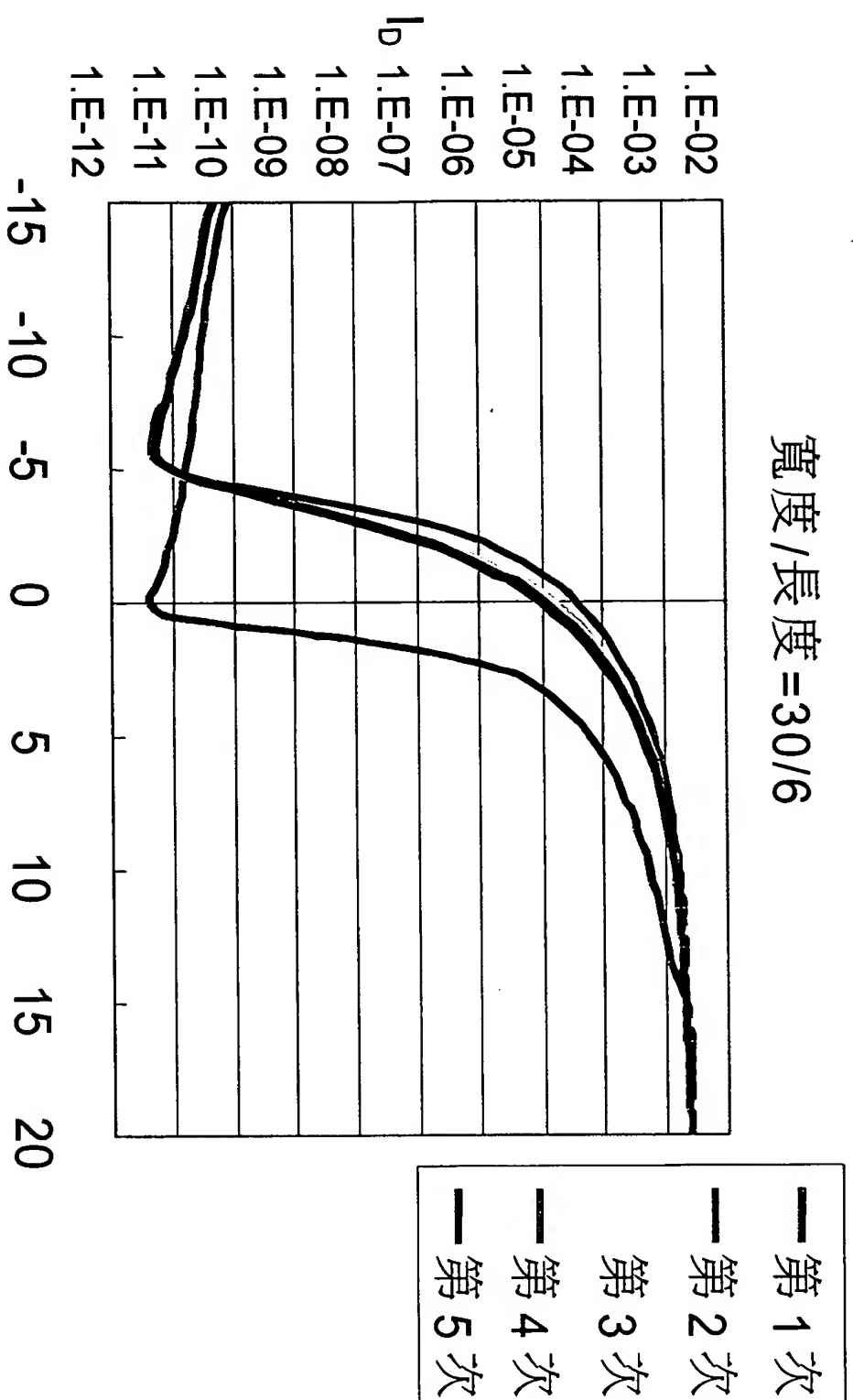
14. 如申請專利範圍第8項所述之多晶矽薄膜電晶體，其中更包括一緩衝層，直接覆蓋於該基板上。





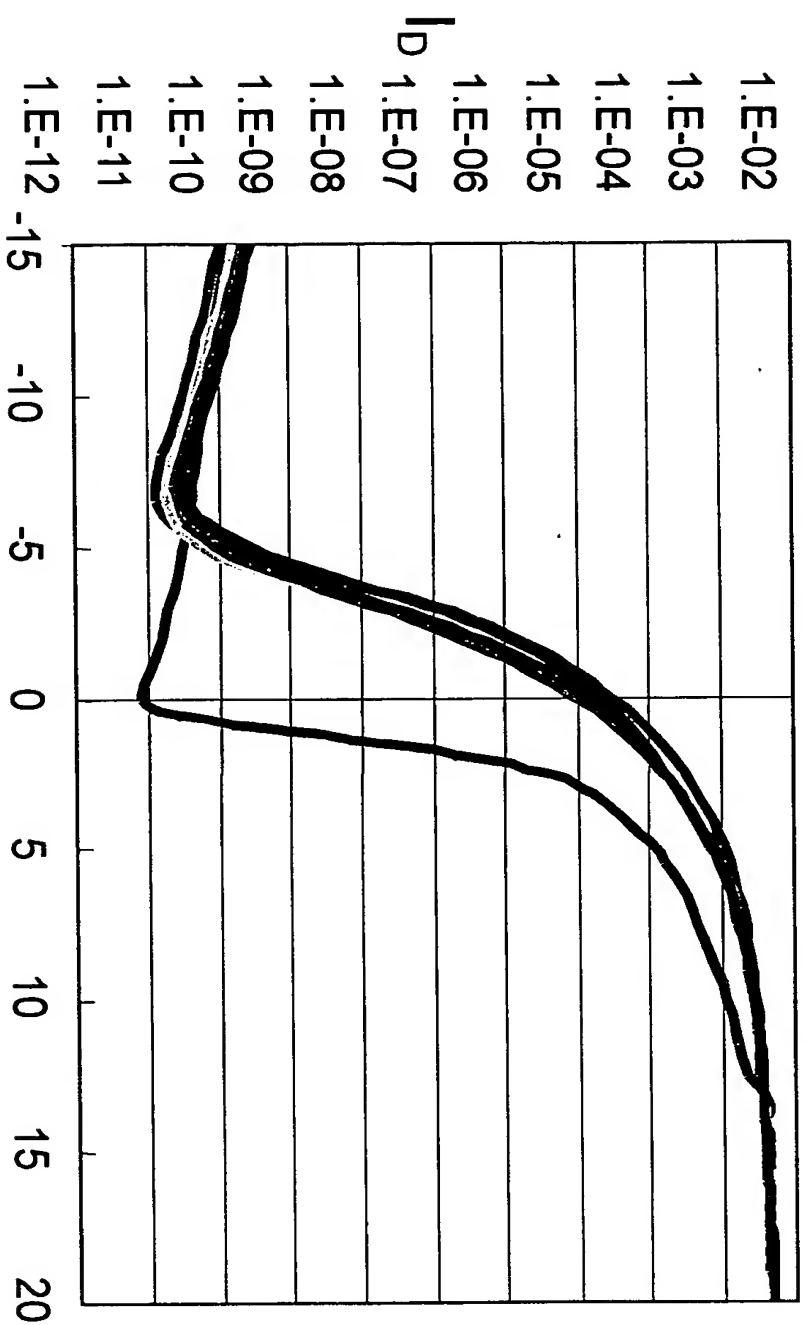
第 1 圖

寬度/長度=30/6



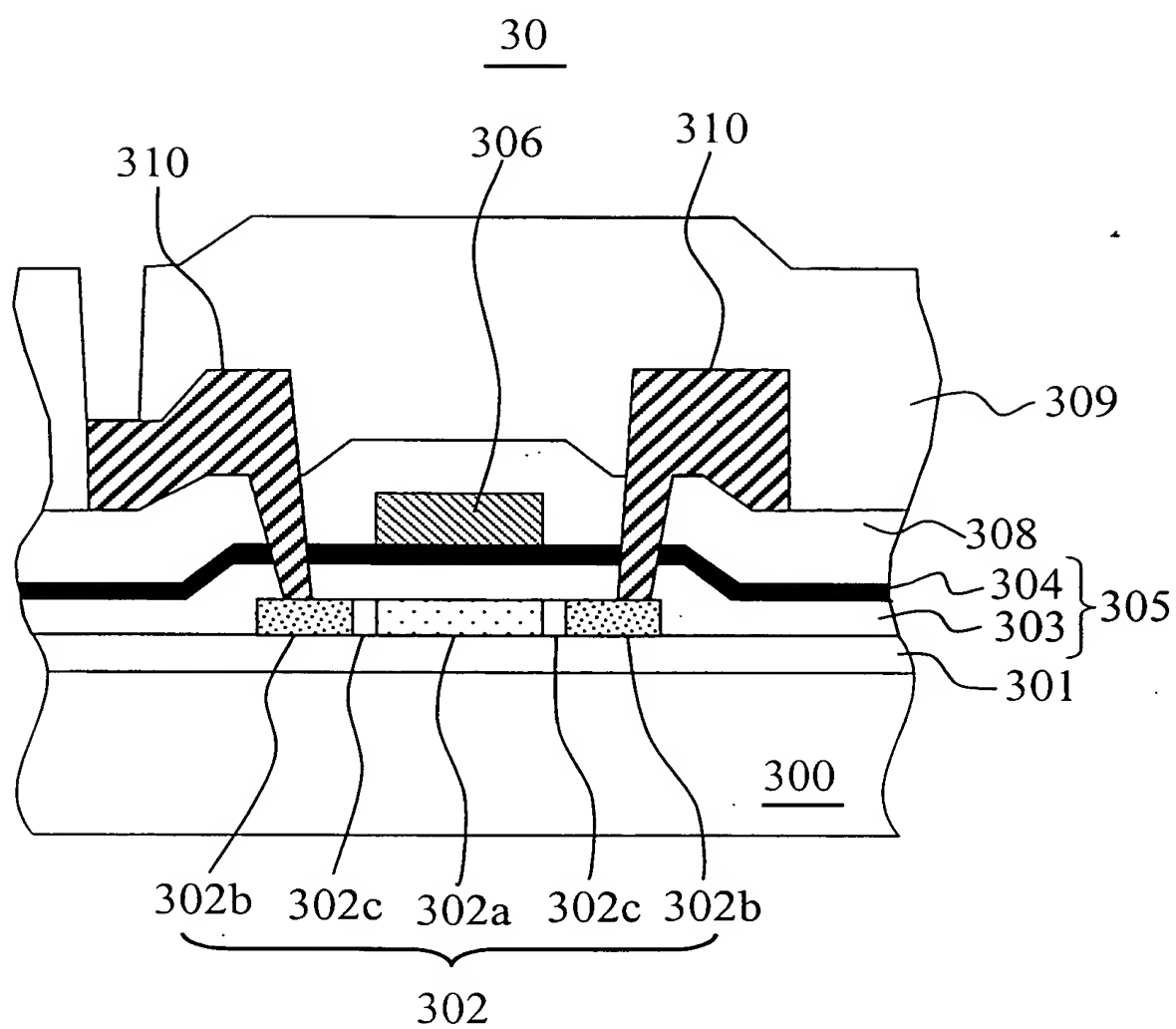
第2A圖

寬度/長度=60/6



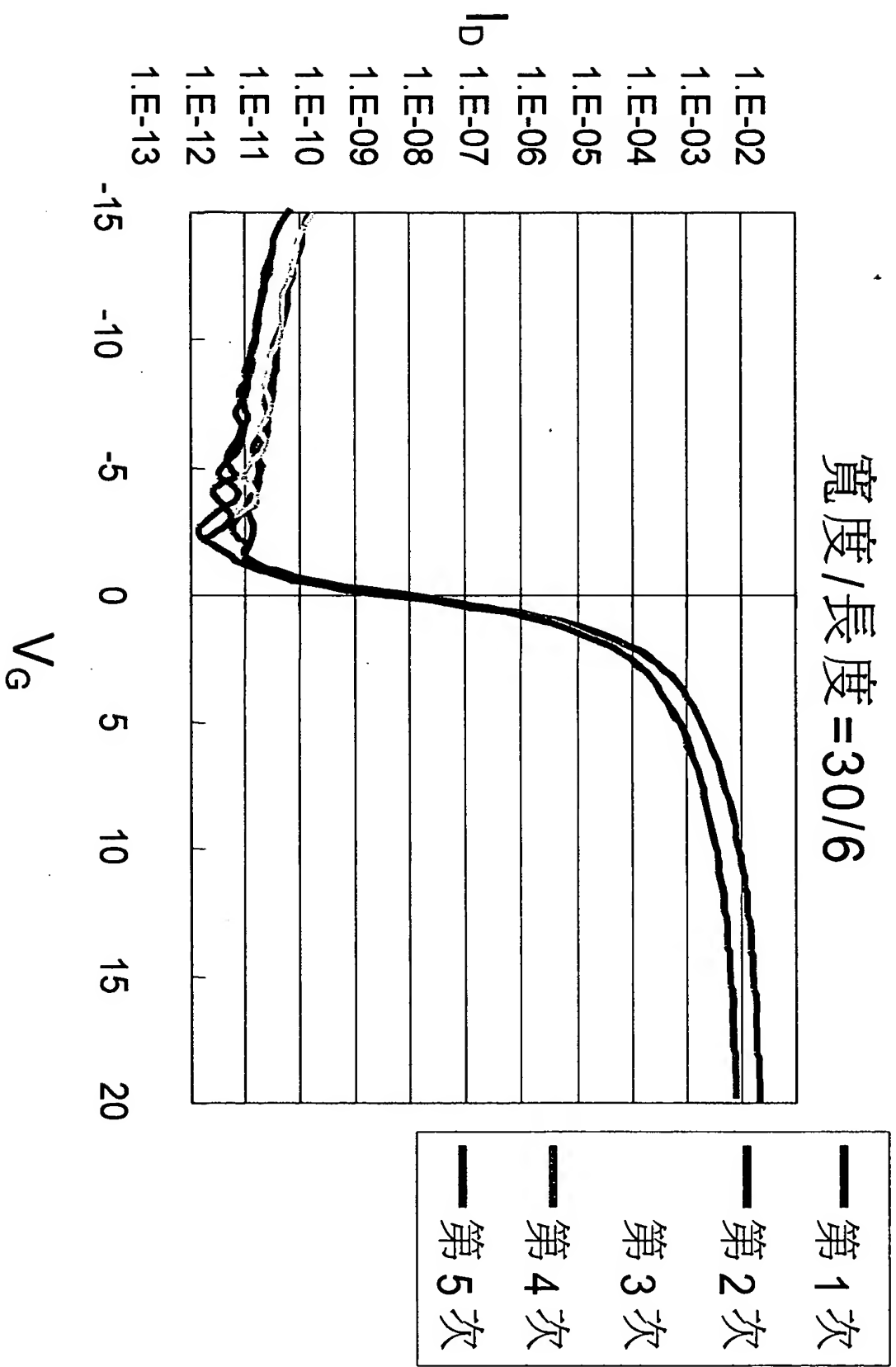
- 第1次
- 第2次
- 第3次
- 第4次
- 第5次
- 第6次

V_G
第2B圖



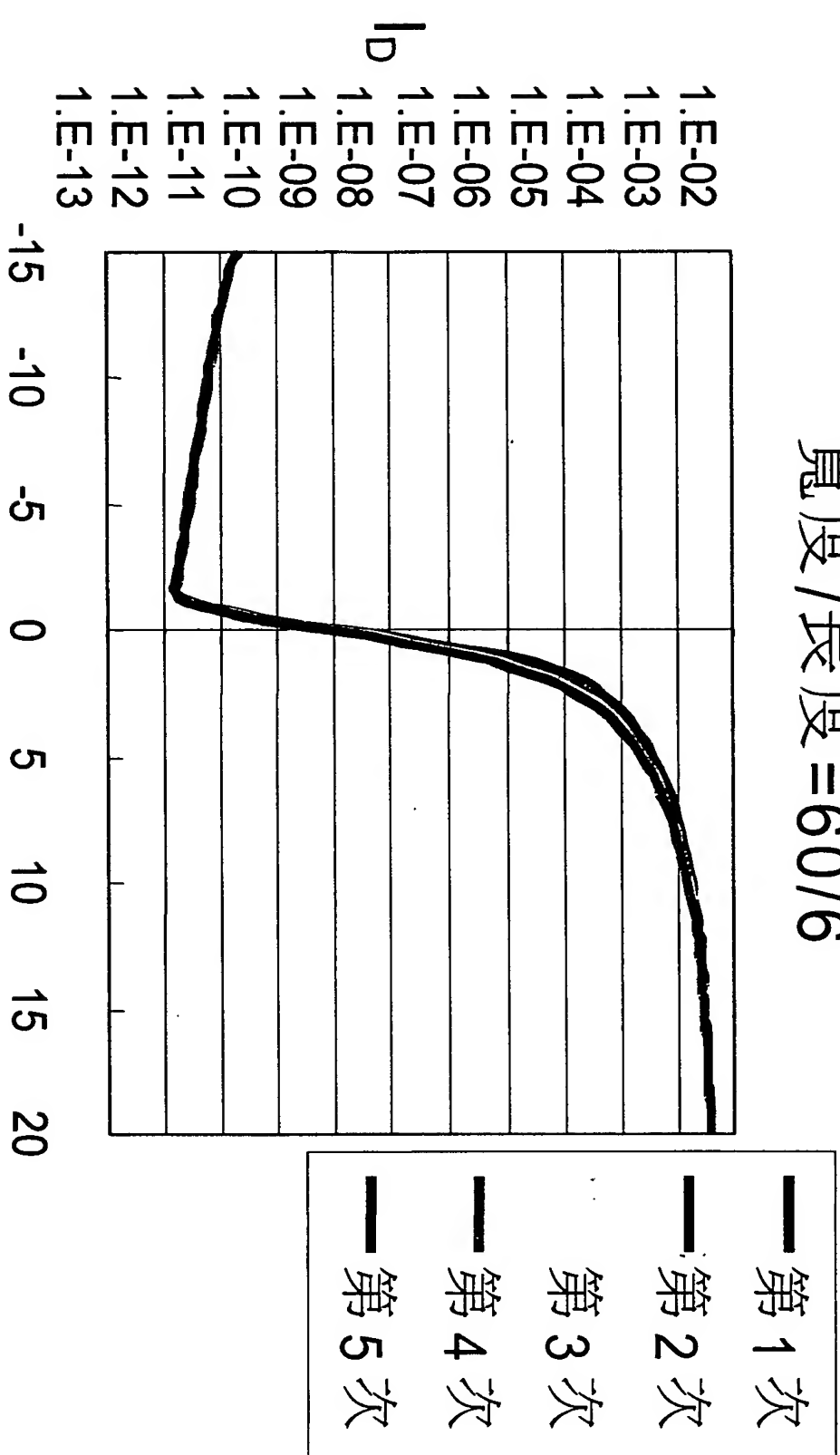
第 3 圖

寬度/長度=30/6



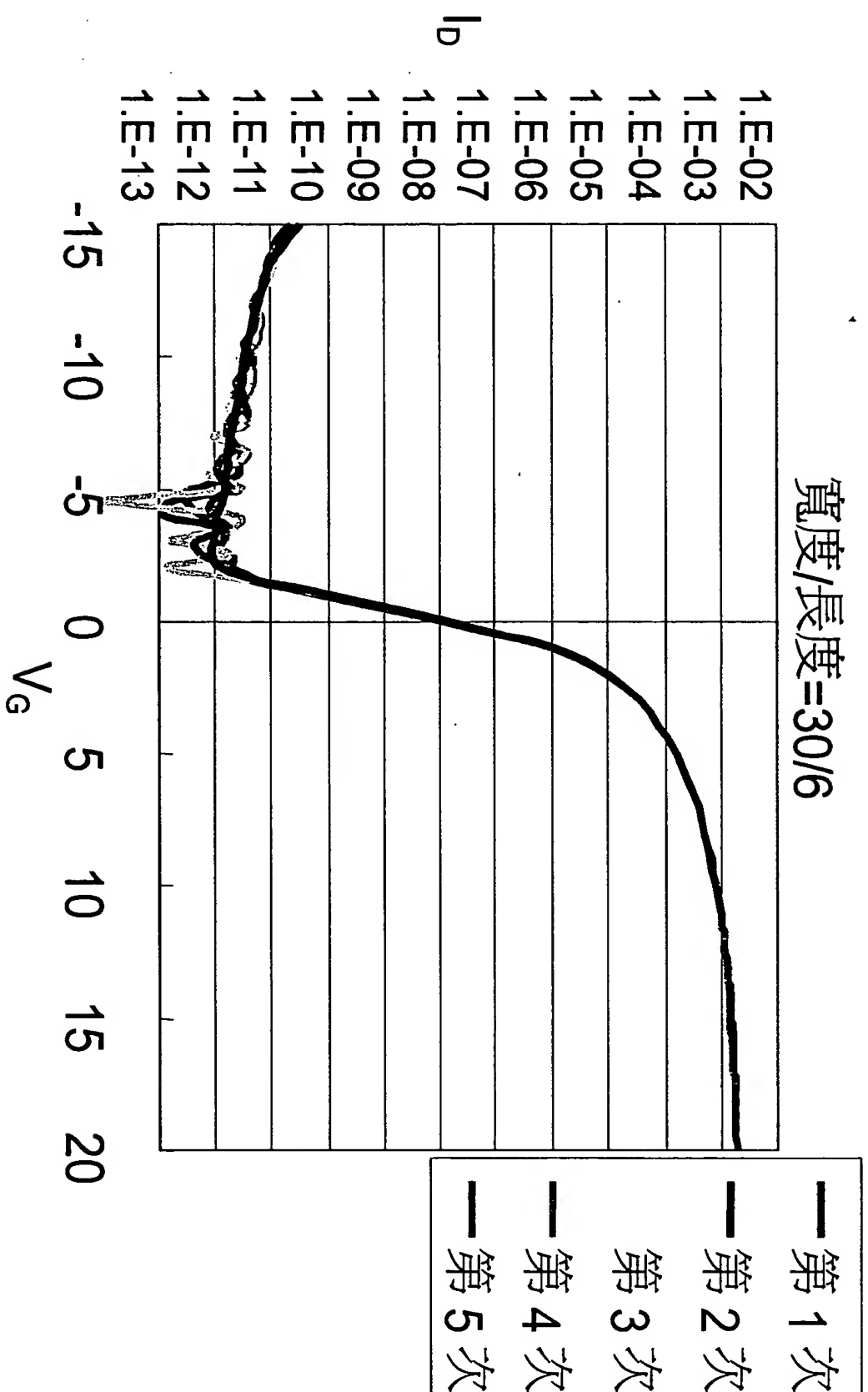
第 4A 圖

寬度/長度=60/6



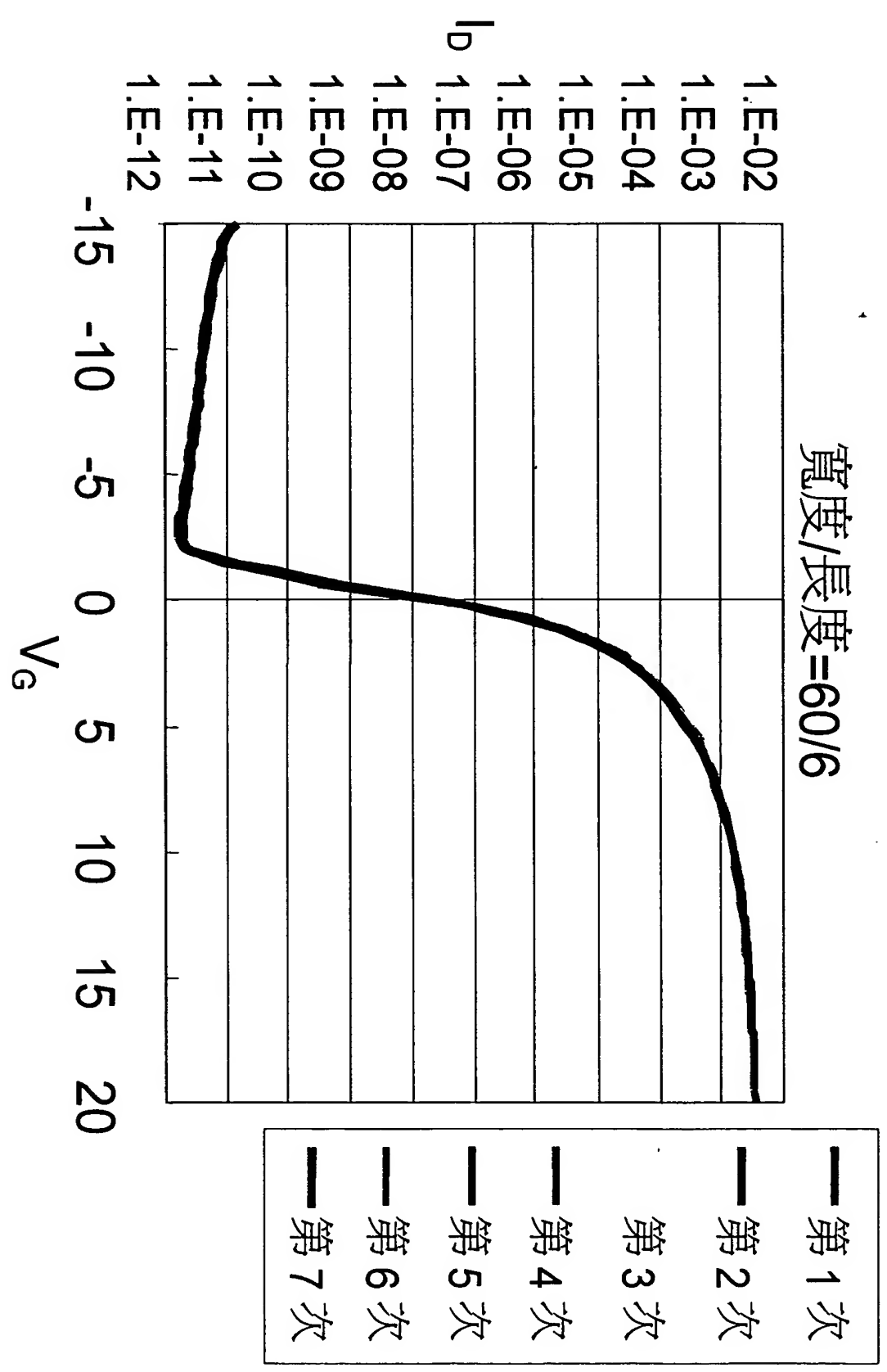
第4B圖

寬度/長度=30/6



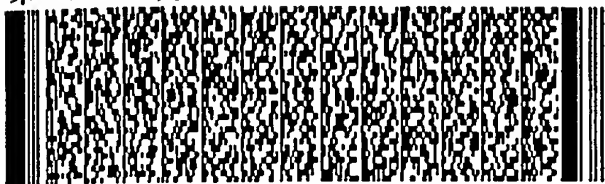
第5A圖

寬度/長度=60/6



第5B圖

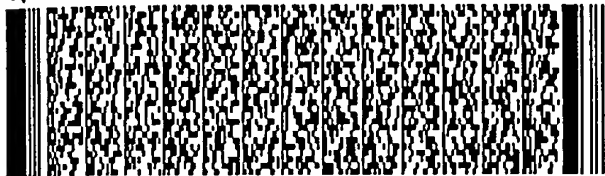
第 1/16 頁



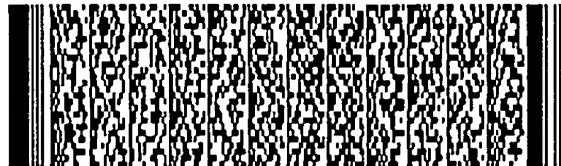
第 2/16 頁



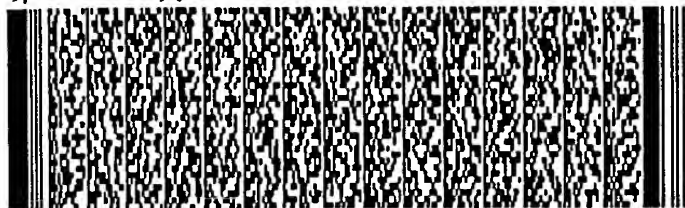
第 2/16 頁



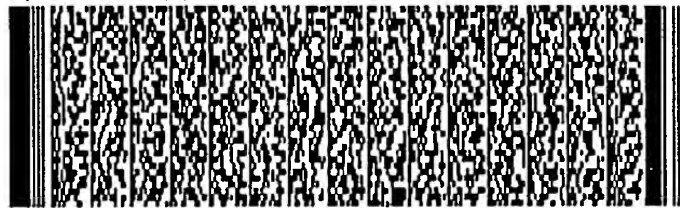
第 3/16 頁



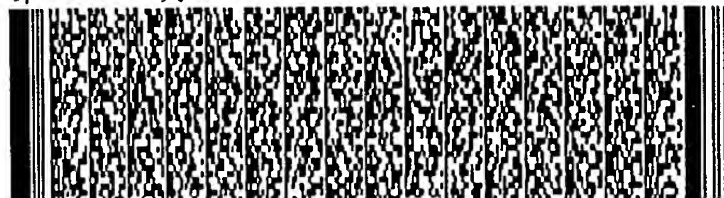
第 5/16 頁



第 5/16 頁



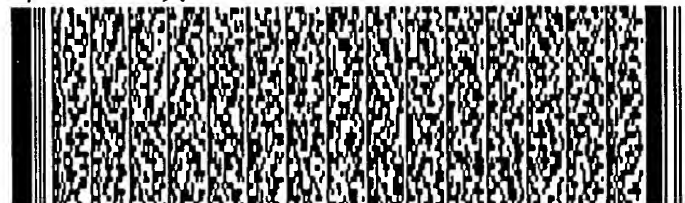
第 6/16 頁



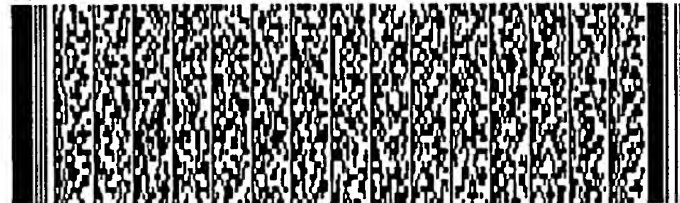
第 6/16 頁



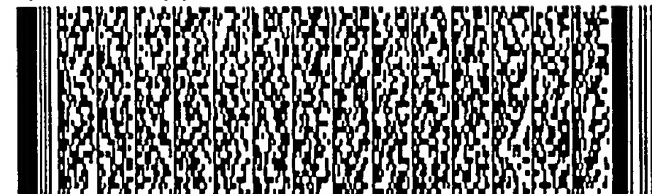
第 7/16 頁



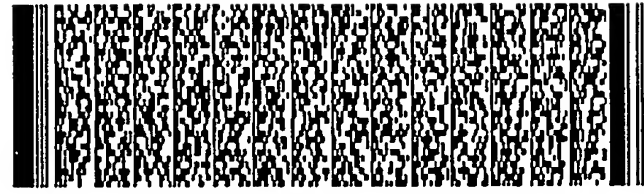
第 7/16 頁



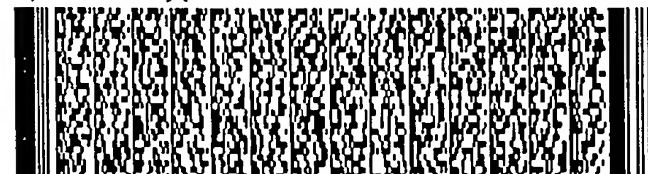
第 8/16 頁



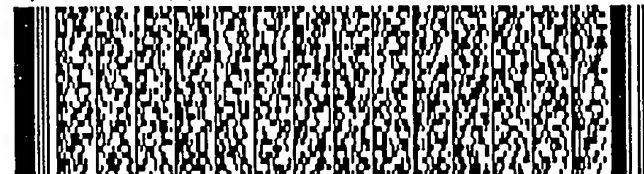
第 8/16 頁



第 9/16 頁



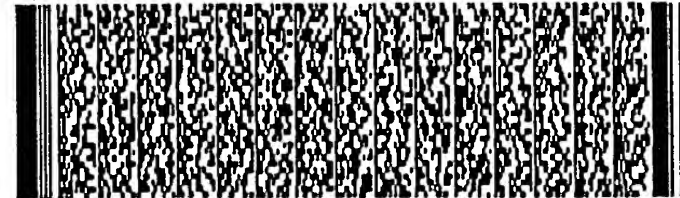
第 9/16 頁



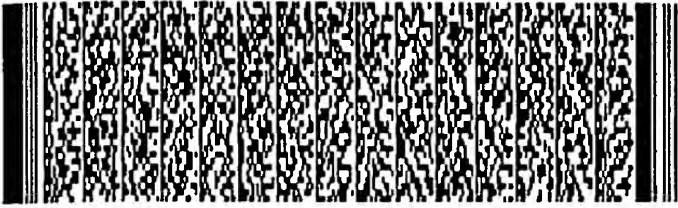
第 10/16 頁



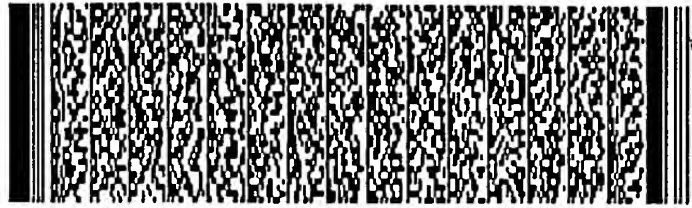
第 10/16 頁



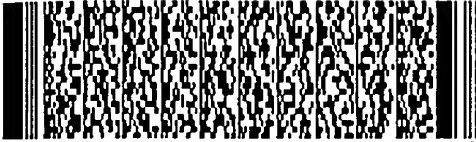
第 11/16 頁



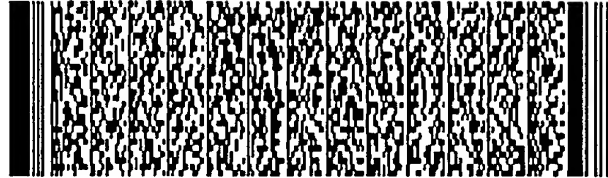
第 11/16 頁



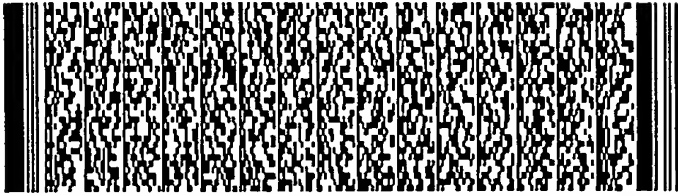
第 12/16 頁



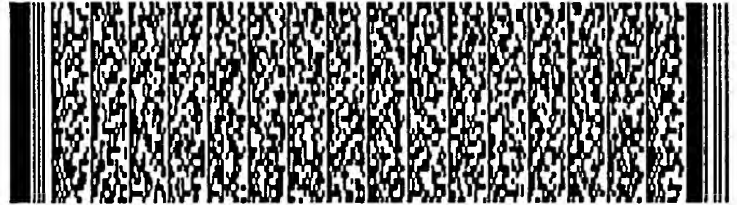
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

